1. **Fluxograma de acesso**
   1. **Motivação:** Os acessos de leitura e escrita tem uma rotina de acessos a serem realizadas. Com uma arquitetura com TLB, Memória Cache, Memória RAM e Disco. Um acesso pode passar por algumas dessas memórias e realizar operação diferenciadas dependendo da situação.
   2. **Objetivo:** que o aluno aprenda todos os passos realizados por um acesso ao um dado ou instrução, podendo variar dependendo da situação.
   3. **Detalhamento:** Os passos a serem seguidos são:
      1. Carregar a arquitetura Architecture-11-MM-16-VM(PS-4-DM-16-RA-FIFO)-TLB(MS-2-RA-FIFO)-WITH-CACHE
      2. Carregar o arquivo trace TR\_4\_read\_20\_cres\_PS\_20
      3. Realizar a execução passo a passo.
      4. Apresentar as diferentes situações de **tradução de endereço virtual** e **Obtenção do dado ou instrução.**
      5. Realizar os passos até o fim da execução.
      6. Informar os alunos que existem os tutoriais de memória cache e memória virtual caso eles queiram aprender mais sobre os assuntos apresentados.

* 1. **Arquivos** 
     1. **Arquitetura:** Architecture-11-MM-16-VM(PS-4-DM-16-RA-FIFO)-TLB(MS-2-RA-FIFO)-WITH-CACHE
     2. **Rastro:** TR\_4\_read\_20\_cres\_PS\_20
  2. **Pontos a destacar:**
     1. Apresentar para o aluno: que a tradução de um endereço pode ser realizada na TLB ou na tabela de página.
     2. Quando a tradução é realizada na Tabela de páginas ela é escrita na TLB para futuras Traduções.
     3. Fixar o conceito de paging.
     4. Com o endereço real e possível obter o dado ou instrução na memória Cache.
     5. Caso não esteja na memória cache obter o dado ou instrução na memória RAM.
     6. Apresentar que o dado é escrito na memória Cache para futuros acessos.
     7. O resultado final da apresentação é:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Memória / Taxas | Acessos de leitura | Acessos de escrita | Page fault  (Page table) | **Tempo total** |
| Page Table | 5 | 2 | 1 | **90** |
| Principal | 17 | 4 |  | **250** |
| Disk | 1 | 1 |  | **300** |
| TLB | 20 | 5 | 5 | **30** |
| Cache | 20 | 0 | 10 | **20** |
|  |  |  |  | **TT: 600** |